

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Attorney Docket No.: 40296-0041

Applicant: Yu Chang KIM et al.

Confirmation No.:

Appl. No.: Unassigned

Examiner: Unassigned

Filing Date: December 8, 2003

Art Unit: Unassigned

Title: METHOD FOR MANUFACTURING METAL LINE OF
SEMICONDUCTOR DEVICE

CLAIM FOR CONVENTION PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested, and the right of priority provided in 35 U.S.C. § 119 is hereby claimed. In support of this claim, filed herewith is a certified copy of said original foreign application:


Korean Patent Application No. 10-2003-0034843 filed May 30, 2003

Respectfully submitted,

Date: December 8, 2003

HELLER EHRMAN WHITE &
MCAULIFFE
1666 K Street, N.W., Suite 300
Washington, DC 20006
Telephone: (202) 912-2000
Facsimile: (202) 912-2020

By


Johnny A. Kumar

Attorney for Applicant
Registration No. 34,649
Customer No. 26633



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0034843
Application Number

출원년월일 : 2003년 05월 30일
Date of Application MAY 30, 2003

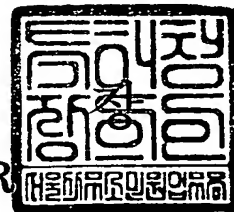
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2003.05.30
【국제특허분류】	H01L
【발명의 명칭】	반도체소자의 금속배선 형성방법
【발명의 영문명칭】	A method for forming a metal line of semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	황의인
【대리인코드】	9-1998-000660-7
【포괄위임등록번호】	2003-017010-4
【대리인】	
【성명】	이정훈
【대리인코드】	9-1998-000350-5
【포괄위임등록번호】	2003-017011-1
【발명자】	
【성명의 국문표기】	김유창
【성명의 영문표기】	KIM, Yu Chang
【주민등록번호】	680328-1951036
【우편번호】	361-815
【주소】	충청북도 청주시 흥덕구 복대1동 3029 현대2차아파트 206-1507
【국적】	KR
【발명자】	
【성명의 국문표기】	김광옥
【성명의 영문표기】	KIM, Kwang Ok
【주민등록번호】	721110-1581414

【우편번호】 138-841

【주소】 서울특별시 송파구 삼전동 170-14번지 203호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인
황의인 (인) 대리인
이정훈 (인)

【수수료】

【기본출원료】	19 면	29,000 원
【가산출원료】	0 면	0 원
【우선권주장료】	0 건	0 원
【심사청구료】	0 항	0 원
【합계】	29,000 원	

【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체소자의 금속배선 형성방법에 관한 것으로,

다마신 방법을 이용한 금속배선 공정시 에치백 공정으로 인한 금속배선 간의 거리 단축에 의한 소자의 전기적 특성 열화를 방지하기 위하여,

반도체기판 상에 하부 금속배선을 노출시키는 평탄화된 제1층간절연막을 형성하고 전체 표면상부에 제1식각방지막, 제2층간절연막, 제2식각방지막, 제3층간절연막 및 반사방지막의 적층구조를 형성한 다음, 비아콘택마스크를 이용한 사진식각공정으로 적층구조를 식각하여 상기 제1식각방지막을 노출시키는 비아콘택홀을 형성하고 상기 제1식각방지막을 식각하여 하부 금속배선을 노출시킨 다음, 상기 비아콘택홀의 저부에 잔류 감광막이 구비되는 상부 금속배선용 감광막패턴을 형성하고 상기 감광막패턴을 마스크로 하여 상기 반사방지막 및 제3층간절연막을 식각함으로써 상부 금속배선 영역을 형성한 다음, 상기 잔류 감광막 및 감광막패턴을 제거함으로써 후속공정으로 형성되는 금속배선간의 거리 단축을 방지하여 소자의 전기적 특성 열화를 방지하고 그에 소자의 특성 및 신뢰성을 향상시킬 수 있는 기술이다.

【대표도】

도 3e

【명세서】

【발명의 명칭】

반도체소자의 금속배선 형성방법{A method for forming a metal line of semiconductor device}

【도면의 간단한 설명】

도 1a 내지 도 1e 는 종래기술에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도.

도 2 는 종래기술에 따른 반도체소자의 금속배선을 도시한 شم사진.

도 3a 내지 도 3e 는 본 발명의 실시예에 따른 반도체소자의 금속배선 형성방법을 도시한 평면도.

< 도면의 주요부분에 대한 부호의 설명 >

11,41 : 하부 금속배선 13,43 : 제1층간절연막

15,45 : 제1식각방지막 17,47 : 제2층간절연막

19,49 : 제2식각방지막 21,51 : 제3층간절연막

23 : 하드마스크층 25,55 : 비아콘택홀

27 : 유기반사방지막 29,59 : 감광막패턴

31,61 : 상부 금속배선 영역 53 : 반사방지막

57 : 잔류 감광막

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <12> 본 발명은 반도체소자의 금속배선 형성방법에 관한 것으로, 특히 다마신 (damascene) 방법을 이용하여 다층 금속배선을 형성하는 기술에 관한 것이다.
- <13> 반도체소자의 구조를 분석하여 보면 기본적으로 다수의 전기적인 배선층이 상하 방향으로 적층되어 있고, 이러한 상, 하부 배선층 사이를 연결하는 연결층으로 구성되어 있다.
- <14> 로직 소자의 예를 들어 생각하면 게이트, 금속층 등이 전기적인 배선층에 해당되고 게이트층과 금속층을 연결하는 콘택홀 층 또는 상부/하부 금속층 사이를 연결하는 비아 콘택홀층이 연결층에 해당된다.
- <15> 일반적으로 반도체소자의 금속배선 방법은 평탄화된 표면 상에 금속배선을 패터닝하고 이를 평탄화시키는 층간절연막을 형성하는 공정으로 진행하였으나 반도체소자의 고집적화에 따른 미세 선폭의 금속배선 패터닝이 용이하지 않게 되었다.
- <16> 이러한 문제점을 해결하기 위하여 평탄화된 표면 상에 금속배선이 형성될 영역이 식각된 층간절연막을 형성하고 이를 매립하는 다마신 방법을 사용하였다.
- <17> 도 1a 내지 도 1e 는 종래기술에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도이다.
- <18> 도 1a를 참조하면, 반도체기판(도시안됨) 상에 활성영역을 정의하는 소자분리막(도시안됨), 워드라인(도시안됨), 비트라인(도시안됨) 및 캐패시터(도시안됨)를 형성하고 그 상부를 평탄화시키는 하부절연층(도시안됨)을 형성한다.

- <19> 상기 하부절연층의 하부구조에 접속되는 하부 금속배선(11)을 형성한다. 이때, 상기 하부 금속배선(11)은 구리를 이용하여 형성한다.
- <20> 상기 하부 금속배선(11)을 노출시키는 평탄화된 제1층간절연막(13)을 전체표면상부에 형성한다.
- <21> 전체표면상부에 제1식각방지막(15), 제2층간절연막(17), 제2식각방지막(19), 제3층간절연막(21) 및 하드마스크층(23)의 적층구조를 형성한다.
- <22> 금속배선 콘택마스크(도시안됨), 즉 비아콘택마스크(도시안됨)를 이용한 사진식각공정으로 적층구조를 상부로부터 식각하여 상기 제1식각방지막(15)을 노출시킨다.
- <23> 도 1b를 참조하면, 전체표면상부에 유기 반사방지막(27)을 도포한다.
- <24> 상기 유기 반사방지막(27) 상부에 감광막패턴(29)을 형성한다. 이때, 상기 감광막패턴(29)은 금속배선 마스크(도시안됨)를 이용한 노광 및 현상공정으로 형성한 것이다.
- <25> 도 1c를 참조하면, 상기 감광막패턴(29)을 마스크로 하여 상기 유기 반사방지막(27), 하드마스크층(23) 및 제3층간절연막(21)을 식각하여 상기 제2식각방지막(19)을 노출시킨다. 이때, 상기 유기반사방지막(27)은 상기 제2층간절연막(17) 및 제1반사방지막(15) 사이에 남는다.
- <26> 도 1d를 참조하면, 상기 감광막패턴(29)을 제거하고 상기 유기반사방지막(27)을 제거한다.
- <27> 도 1e를 참조하면, 에치백 공정으로 상기 하부 금속배선(11) 상부의 제1식각방지막(15)을 제거함으로써 상기 하부 금속배선(11)에 콘택되는 상부 금속배선 영역(31)을 형성한다.

<28> 이때, 상기 에치백 공정은 마스크 없이 실시하는 공정으로서, 제2반사방지막(19)과 일정두께의 하드마스크층(23)이 식각되며 상기 하드마스크층(23)과 제2층간절연막(17)의 모서리 부분이 ㉠ 부분과 같이 식각된다.

<29> 상기 ㉠ 부분과 같은 모서리 부분은 후속공정으로 형성되는 상부 금속배선 간의 거리를 설계된 거리보다 단축시켜 금속배선의 전기적 특성을 열화시키는 문제점이 있다.

<30> 도 2 는 종래기술에 따라 형성된 금속배선의 SEM사진으로서, 금속배선인 Cu 배선 사이의 스페이스 (space) CD (critical dimension) 이 작아졌음을 알 수 있다.

【발명이 이루고자 하는 기술적 과제】

<31> 본 발명은 상기한 종래기술의 문제점을 해결하기 위하여, 다마신 방법을 이용한 다층 금속배선의 형성공정중 금속배선 간의 거리를 확보할 수 있도록 하여 소자의 전기적 특성 열화를 방지하는 반도체소자의 금속배선 형성방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

<32> 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 금속배선 형성방법은,

<33> 반도체기판 상에 하부 금속배선을 노출시키는 평탄화된 제1층간절연막을 형성하는 공정과,

<34> 전체표면상부에 제1식각방지막, 제2층간절연막, 제2식각방지막, 제3층간절연막 및 반사방지막의 적층구조를 형성하는 공정과,

<35> 비아콘택마스크를 이용한 사진식각공정으로 적층구조를 식각하여 상기 제1식각방지막을 노출시키는 비아콘택홀을 형성하는 공정과,

<36> 상기 제1식각방지막을 식각하여 하부금속배선을 노출시키는 공정과,

- <37> 상기 비아콘택홀의 저부에 잔류 감광막이 구비되는 상부 금속배선용 감광막패턴을 형성하는 공정과,
- <38> 상기 감광막패턴을 마스크로 하여 상기 반사방지막 및 제3층간절연막을 식각하여 상부 금속배선 영역을 형성하는 공정과,
- <39> 상기 잔류 감광막 및 감광막패턴을 제거하는 공정을 포함하는 것과,
- <40> 상기 제1,2식각방지막은 SiN, SiC 및 SiCN 중에서 임의로 선택된 한가지로 형성하는 것과,
- <41> 상기 제2,3층간절연막은 오거닉-베이스 로우-케이층이나 실리카-베이스 로우-케이층으로 형성하는 것과,
- <42> 상기 제2,3층간절연막은 산화막, 오거닉 로우 케이층 (organic low-k, k 는 유전상수), 오거닉 포러스 로우 케이층 (organic porous low-k, k 는 유전상수) 및 이들의 조합으로 이루어진 군에서 선택된 임의의 한가지로 형성하는 것과,
- <43> 상기 반사방지막은 SiON 무기 반사방지막으로 형성하는 것과,
- <44> 상기 반사방지막 및 제3층간절연막의 식각공정은 CF₄/O₂/Ar 의 혼합가스를 이용하여 플라즈마 식각하는 것과,
- <45> 상기 잔류 감광막의 제거 공정은 상기 제3층간절연막의 식각공정후 인-시튜 상태에서 상부로부터 1000 ~ 1200 Å 를 타겟으로 플라즈마 처리하여 상기 잔류 감광막을 제거하는 것을 특징으로 한다.
- <46> 이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

- <47> 도 3a 내지 도 3e 는 본 발명에 따른 반도체소자의 금속배선 형성방법을 도시한 단면도이다.
- <48> 도 3a 를 참조하면, 반도체기판(도시안됨) 상에 활성영역을 정의하는 소자분리막(도시안됨), 워드라인(도시안됨), 비트라인(도시안됨) 및 캐패시터(도시안됨)를 형성하고 그 상부를 평탄화시키는 하부절연층(도시안됨)을 형성한다.
- <49> 상기 하부절연층의 하부구조에 접속되는 하부 금속배선(41)을 형성한다. 이때, 상기 하부 금속배선(41)은 구리를 이용하여 형성한다.
- <50> 상기 하부 금속배선(41)을 노출시키는 평탄화된 제1층간절연막(43)을 전체표면상부를 형성한다.
- <51> 전체표면상부에 제1식각방지막(45)을 형성한다. 이때, 상기 제1식각방지막(45)은 구리 캐핑 레이어 (Cu capping layer) 로 사용된 것으로, SiN, SiC 또는 SiCN 등의 절연막을 사용한다.
- <52> 상기 제1식각방지막(45) 상부에 제2층간절연막(47)을 형성한다. 이때, 상기 제2층간절연막(47)은 산화막, 오거닉 로우 케이층 (organic low-k, k 는 유전상수), 오거닉 포러스 로우 케이층 (organic porous low-k, k 는 유전상수) 및 이들의 조합으로 이루어진 군에서 선택된 임의의 한가지로 형성한다. 또한, 제2층간절연막(47)은 실리카-베이스의 로우 케이층이나 포러스 로우 케이층으로 형성할 수도 있다.
- <53> 상기 제2층간절연막(47) 상부에 제2식각방지막(49)을 형성하고 그 상부에 제3층간절연막(51)을 형성한다. 이때, 상기 제3층간절연막(51)은 상기 제1식각방지막(45)과 같은 물질로 형성한다.

- <54> 상기 제3층간절연막(51) 상부에 반사방지막(53)을 형성한다. 이때, 상기 반사방지막(53)은 SiON 무기 반사방지막을 사용한다. 상기 반사방지막(53)은 제1,2식각방지막(49,53)의 식각공정시 식각되는 두께를 감안하여 형성한다. 예를들어, 상기 반사방지막(53)으로 600 Å 두께의 SiON 이 필요하다면, 제1,2식각방지막(49,53)의 식각공정시 400 Å 두께가 식각되는 것을 예상하여 1000 Å 두께의 반사방지막(53)을 형성한다.
- <55> 금속배선 콘택마스크(도시안됨), 즉 비아콘택마스크(도시안됨)를 이용한 사진식각공정으로 상기 반사방지막(53), 제3층간절연막(51), 제2식각방지막(49) 및 제2층간절연막(47)을 식각하여 상기 제1식각방지막(41)을 노출시키는 비아콘택홀(55)을 형성한다.
- <56> 도 3b를 참조하면, 상기 비아콘택홀(55)의 저부에 노출된 제1식각방지막(45)을 제거한다. 이때, 상기 반사방지막(53)은 두께가 감소되고, 상기 비아콘택홀(55) 상단에 형성된 부분은 ㉔ 와 같이 경사지게 식각된다.
- <57> 도 3c를 참조하면, 전체표면상부에 감광막(59)을 도포하고, 금속배선 마스크(도시안됨)를 이용한 노광 및 현상 공정으로 감광막(59)패턴을 형성한다. 이때, 상기 현상공정으로 제거되어야할 감광막(59)이 상기 비아콘택홀(55)의 저부에 남는 잔류 감광막(57)이 형성된다.
- <58> 상기 잔류 감광막(57)이 상기 비아콘택홀(55)을 완전히 매립하지 못하거나 매립된 두께가 매우 얇을 경우, 금속배선을 형성하기 위한 후속 식각공정시 하부 금속배선(41)인 구리를 손상시키거나 오염시킬 수 있으므로, 상기 잔류 감광막(57)을 상기 비아콘택홀(55) 저부에 남겨 하부금속배선(41)인 구리의 손상 및 오염을 방지하도록 한다.

- <59> 도 3d를 참조하면, 상기 감광막(59)패턴을 마스크로 하여 상기 반사방지막(53) 및 제3층간절연막(51)을 식각하여 상부 금속배선 영역(61)을 형성한다.
- <60> 이때, 상기 반사방지막(53)은 $\text{CF}_4/\text{O}_2/\text{Ar}$ 의 혼합가스를 이용하여 플라즈마 식각한다. 상기 제3층간절연막(51)은 플라즈마 식각공정으로 식각한다.
- <61> 도 3e를 참조하면, 인-시튜 상태에서 $1000 \sim 1200 \text{ \AA}$ 를 타겟으로 플라즈마 처리하여 상기 잔류 감광막(57)을 제거한다. 이때, 상기 플라즈마 처리 공정은 상기 $\text{CF}_4/\text{O}_2/\text{Ar}$ 의 혼합가스를 이용한 플라즈마를 이용하여 실시한다.
- <62> 후속 공정으로 상기 감광막(59)패턴을 제거한다. 이때, 상부금속배선 영역(61)의 모서리 부분은 ©와 같이 경사가 없도록 형성된다.
- <63> 본 발명의 다른 실시예는 식각방지막 없이 실시하는 것이다.

【발명의 효과】

- <64> 이상에서 설명한 바와 같이 본 발명에 따른 반도체소자의 금속배선 형성방법은, 비아 콘택의 임계면적 (critical dimension, CD)을 최소화시키는 동시에 금속배선간의 누설전류 특성을 양호하게 하여 반도체소자의 특성 및 신뢰성을 향상시킬 수 있는 효과를 제공한다.

【특허청구범위】**【청구항 1】**

반도체기판 상에 하부 금속배선을 노출시키는 평탄화된 제1층간절연막을 형성하는 공정과,

전체표면상부에 제1식각방지막, 제2층간절연막, 제2식각방지막, 제3층간절연막 및 반사방지막의 적층구조를 형성하는 공정과,

비아콘택마스크를 이용한 사진식각공정으로 적층구조를 식각하여 상기 제1식각방지막을 노출시키는 비아콘택홀을 형성하는 공정과,

상기 제1식각방지막을 상기 식각하여 하부금속배선을 노출시키는 공정과,

상기 비아콘택홀의 저부에 잔류 감광막이 구비되는 상부 금속배선용 감광막패턴을 형성하는 공정과,

상기 감광막패턴을 마스크로 하여 상기 반사방지막 및 제3층간절연막을 식각하여 상부 금속배선 영역을 형성하는 공정과,

상기 잔류 감광막 및 감광막패턴을 제거하는 공정을 포함하는 반도체소자의 금속배선 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 제1,2식각방지막은 SiN, SiC 및 SiCN 중에서 임의로 선택된 한가지로 형성하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

【청구항 3】

제 1 항에 있어서,

상기 제2,3층간절연막은 오거닉-베이스 로우-케이층이나 실리카-베이스 로우-케이층으로 형성하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

【청구항 4】

제 1 항에 있어서,

상기 제2,3층간절연막은 산화막, 오거닉 로우 케이층 (organic low-k, k 는 유전상수), 오거닉 포러스 로우 케이층 (organic porous low-k, k 는 유전상수) 및 이들의 조합으로 이루어진 군에서 선택된 임의의 한가지로 형성하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

【청구항 5】

제 1 항에 있어서,

상기 반사방지막은 SiON 무기 반사방지막으로 형성하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

【청구항 6】

제 1 항에 있어서,

상기 반사방지막 및 제3층간절연막의 식각공정은 CF₄/O₂/Ar 의 혼합가스를 이용하여 플라즈마 식각하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

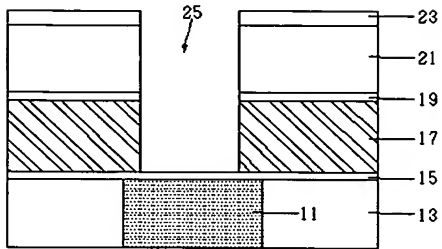
【청구항 7】

제 1 항에 있어서,

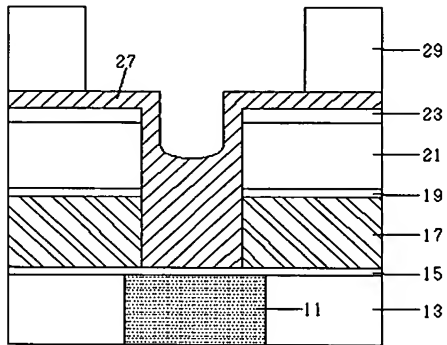
상기 잔류 감광막의 제거 공정은 상기 제3층간절연막의 식각공정후 인-시튜 상태에서 상부로부터 1000 ~ 1200 Å 를 타겟으로 플라즈마 처리하여 상기 잔류 감광막을 제거하는 것을 특징으로 하는 반도체소자의 금속배선 형성방법.

【도면】

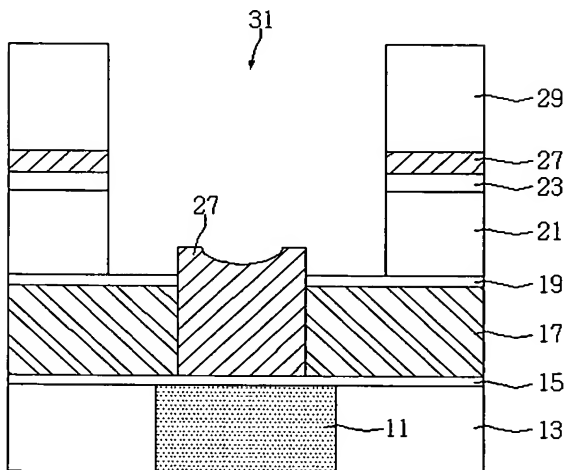
【도 1a】



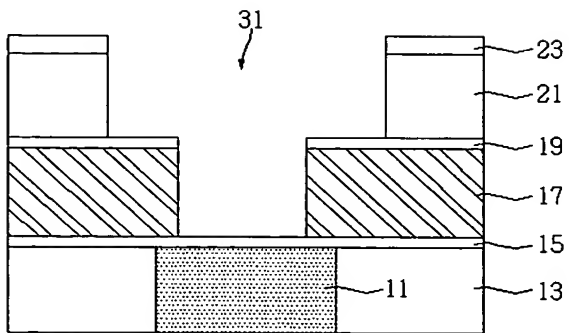
【도 1b】



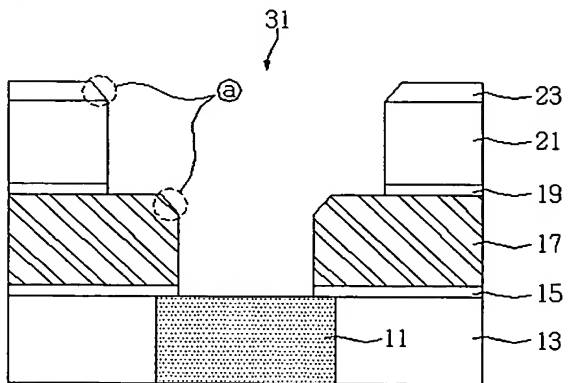
【도 1c】



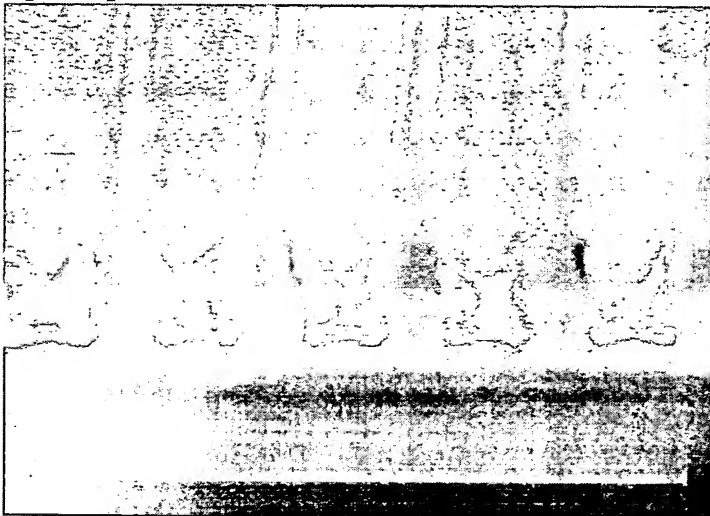
【도 1d】



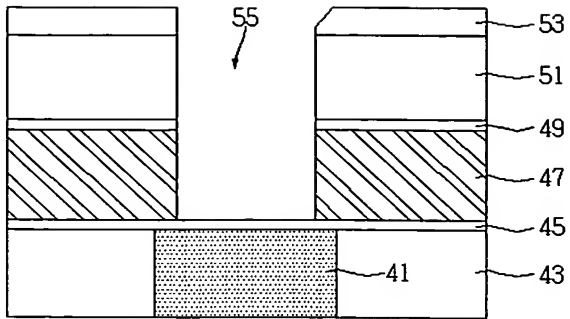
【도 1e】



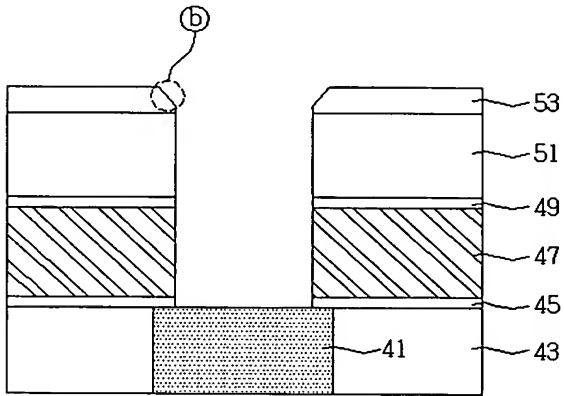
【도 2】



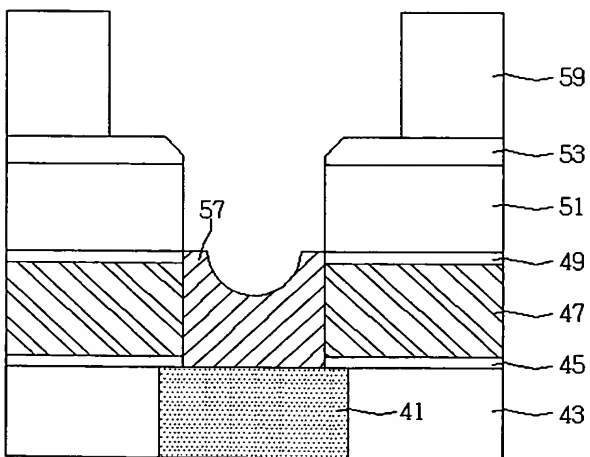
【도 3a】



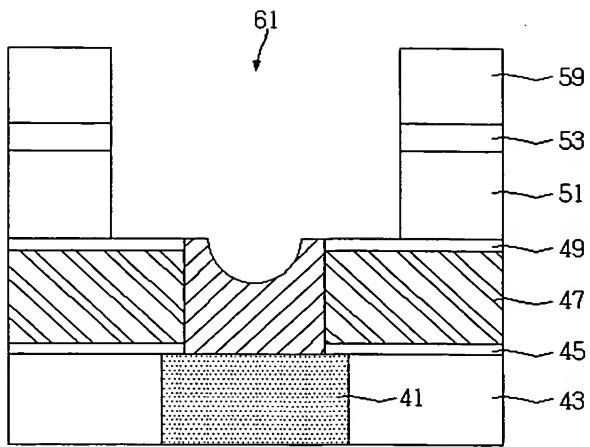
【도 3b】



【도 3c】



【도 3d】



【도 3e】

